

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MANUFACTURE OF SEMICONDUCTOR DEVICE PACKAGE

Patent Number:	JP59208756
Publication date:	1984-11-27
Inventor(s):	AKIYAMA KATSUHIKO; others: 02
Applicant(s)::	SONY KK
Requested Patent:	<input type="checkbox"/> JP59208756
Application	JP19830083188 19830512
Priority Number(s):	
IPC Classification:	H01L23/12 ; H01L21/56 ; H01L23/48
EC Classification:	
Equivalents:	JP1760995C , JP4047977B

Abstract

PURPOSE: To obtain a semiconductor device package which is excellent in heat radiation and suitable for automated manufacturing by a method wherein the semiconductor device is mounted on a substrate and, after being connected to external electrodes, enclosed integrally with resin and the

CONSTITUTION: Au plating 12 of 1μm thickness, Ni plating 13 of 1μm thickness and Au plating 14 of 3μm are laminated on an Fe substrate 11 of 35μm thickness. A semiconductor chip 15 is mounted 16 on a portion 11g and connected 19 to external electrodes 17, 18 on the portions 11h, 11i. The transfer-molding with epoxy resin 20 is carried out so as to make thickness $t=1\text{mm}$. The Fe substrate is removed by etching with FeCl_3 solution from the back surface 11a to complete a leadless type package 21. Bottom surfaces of the Au layers are used as external electrodes 12b, 12c and the heat radiation surface 12a. In order to mount the package 21 on a printed circuit board, only the external electrodes 12b, 12c are directly soldered to a conductor pattern on the substrate. With this constitution, a package of excellent heat radiation can be manufactured automatically by an easy and simple method.

Data supplied from the esp@cenet database - 12

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭59-208756

⑫ Int. Cl.³
H 01 L 23/12
21/56
23/48

識別記号

厅内整理番号

7357-5F
7738-5F
7357-5F

⑬ 公開 昭和59年(1984)11月27日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体装置のパッケージの製造方法

⑮ 特 願 昭58-83188
⑯ 出 願 昭58(1983)5月12日
⑰ 発明者 秋山克彦
東京都品川区北品川6丁目7番
35号ソニー株式会社内
⑱ 発明者 小野鉄雄
東京都品川区北品川6丁目7番

35号ソニー株式会社内
⑲ 発明者 梶山雄次
東京都品川区北品川6丁目7番
35号ソニー株式会社内
⑳ 出願人 ソニー株式会社
東京都品川区北品川6丁目7番
35号
㉑ 代理人 弁理士 土屋勝 外2名

明細書

1. 発明の名称

半導体装置のパッケージの製造方法

2. 特許請求の範囲

述記ニンテング可記な材料から成る基板上に半導体装置を取り、接続用ワイヤを上記半導体装置に接続すると共にこの接続用ワイヤの外部電極部を上記基板の外部電極接続部位に接続し、次いで上記基板において上記半導体装置及び上記接続用ワイヤを一体に樹脂モールドし、かかる後上記樹脂をエクテンション除去することを特徴とする半導体装置のパッケージの製造方法。

3. 説明の詳細な説明

産業上の利用分野

本発明は、半導体装置のパッケージの製造方法に関するもの。

背景技術とその問題点

従来、プリント基板上の実装密度の高いパッケージとして、チップキャリアータイプのパッケージが知られている。このパッケージはリードレス

タイプのパッケージで、パッケージの裏面に引き出されているハンダ付け可能な電極をプリント基板の導体パターンに直接ハンダ付けして接続することにより実装を行うものである。

このチップキャリアータイプパッケージには、セラミックタイプとプラスチックタイプとがある。セラミックタイプはパッケージ自体が高価であるばかりでなく、プリント基板に直接ハンダ付けすると、焼成サイクル時にセラミックと上記ハンダ及び上記導体との間の熱膨張係数の差によつて接続部にはがれやクラックが生じる恐れがあるという欠点を有している。一方、プラスチックタイプはパッケージが安価であるという利点を有しているが、熱放散性が悪く、また形状がパッケージの製造の自動化に適していないという欠点を有している。

このような従来のプラスチックタイプのチップキャリアータイプパッケージの構造を第1図に示す。このパッケージ(1)は、銅箔製の電極(2)が予め形成されているプリント基板(3)上に半導体装置を実装

するチップ(4)を載置し、ワイヤボンディング法により上記チップ(4)と上記電極(2)の一端とをAuの細面から成るワイヤ(5)で接続した後、上方より板状のエポキシ樹脂を滴下させて硬化成形することによって作る。

このパッケージ(1)において、チップ(4)は樹脂層(6)とプリント基板(3)とによって囲まれている。これらの樹脂層(6)及びプリント基板(3)の熱抵抗は共に大きいので、その動作時においてチップ(4)で発生する熱をパッケージ(1)の外部に効率的に放散することができない。即ち、このパッケージ(1)は放散性が悪いという欠点を有している。また上記の板状のエポキシ樹脂を滴下する際に、樹脂の樹脂を一定量、しかも高速で滴下することが難しく、このためにパッケージ(1)はパッケージの製造の自動化に適していないという欠点を有している。

一方、上述のチップキャリアタイプパッケージとは異なるパッケージにチップキャリアタイプパッケージがある。このタイプのパッケージは従来のチップキャリアタイプパッケージよりもさらに

小形化できるという利点を有するが、チップが樹脂層によって完全に覆われているため熱放散性が良好でないこと、テープを用いているために特殊な装置が必要である等の欠点を有している。

発明の目的

本発明は、上述の問題にかんがみ、熱放散性が良好でかつ信頼性の高い半導体装置のパッケージの製造方法を提供することを目的とする。

発明の概要

本発明に係る半導体装置のパッケージの製造方法は、選択エンシング可能な材料から成る基板上に半導体装置を載置し、接続用ワイヤを上記半導体装置に接続すると共にこの接続用ワイヤの外部電極部端を上記基板の外部電極接続部位に接続し、次いで上記基板上において上記半導体装置及び上記接続用ワイヤを一体に樹脂モールドし、しかも後上記基板をエンシング除去するようとしている。このようにすることによって、熱放散性が良好でかつ信頼性の高いリードレスタイプのパッケージを、簡便かつ安価な方法によって自動的に製造す

ることができる。なお上記外部電極部は上記接続用ワイヤ自身が嵌ねていてもよいし、上記接続用ワイヤとは別に設けられかつ上記接続用ワイヤが嵌入されているものでもよい。

実施例

以下本実施例に係る半導体装置のパッケージの製造方法の実施例につき図面を参照しながら説明する。

第2A図～第2D図は本発明の第1実施例による半導体装置のパッケージの製造方法を説明するための工場例である。以下第2A図から工場例を説明する。

まず第2A図において、厚さ3.5(μ)のFeの基板凹の上に、厚さ1(μ)のAu層(2)、厚さ1(μ)のNi層(3)及び厚さ3(μ)のAu層(4)を順次メタルとして、半導体装置を構成するチップ凹の接続部凹及び外部電極部凹のそれぞれを上記基板凹の所定のチップ接続部凹(11a)及び外部電極部凹(11b)(11c)のそれぞれに設ける。第2A図に示す工程終了後の上記基板凹の平面図を第

3図に示す。次に第2B図において、上記チップ接続部凹にチップ凹を載置した後、ワイヤボンディング法によってこのチップ凹と上記外部電極部凹とをそれぞれAuの細面から成るワイヤ(5)で接続する。次に第2C図において、第2B図の基板凹の上に設けられた上記外部電極部凹、チップ接続部凹、チップ凹及びワイヤ凹を一体とするために、公知のトランスマルク・モールド法(移成形法)を用いて、エポキシから成る樹脂モールド層凹を上記基板凹上に形成する。なお本実施例においては、上記樹脂モールド層凹の厚さを1(μ)とした。

次に第2C図において、Feのみを選択的にエンシングするが樹脂モールド層凹及びAu層凹はエンシングしないエンシング板、例えば塩化第二鉄(FeCl₂)溶液を用いて、基板凹の裏面(11a)側からスプレー・エンシングすることにより、上記基板凹を除去して、第2D図に示すリードレスタイプのパッケージ凹を完成させる。上記エンシングによって露出されたAu層凹の下面のうち外部

電極部切端のAu層02の下面が外部電極面(12b) (12c)となり、またチップ取置部06のAu層02の下面が熱放散面(12a)となる。

上述のようにして完成されたパッケージ00をプリント基板上に実装する場合には、第2D図に示す上記外部電極面(12b) (12c)をプリント基板上の導体パタンに直接ハンダ付けして接続すればよい。

上述の第1実施例の熱放散面(12a)は、その動作時においてチップ05から発生する熱の放散面となつていて、金属の熱伝導度は非常に高いので、チップ05から発生する熱は金属製のチップ取置部06を外方に向かつて逃逸に況れて、熱放散面(12a)から放散されることによつて効果的に除去される。しかし、より効果的にチップ05の発生熱を除去するためには、広い表面積を有する放熱フィンの一部を上記熱放散面(12a)に押し当てて空冷により熱を放散させるのが好ましい。

上述の第1実施例のパッケージ00は第2A図～第2D図に示すような簡単な工程によつて作ること

ができるばかりでなく、全ての製造工程に從来から用いられている装置を用いることができる。チップキャリアータイプのパッケージにおいて必要な既述の特殊な装置が不要である。従つて、簡便かつ安価な方法によりパッケージ00を製造することができる。さらに上述の第1実施例では出脂モールド層04を形成する方法としてトランシスタ・モールド法(移送成形法)を用いている。この方法は信頼性の高い樹脂封止ができるばかりでなく、モールドの機械化、量産化が容易であるためにパッケージを自動的に製造できるという利点を有している。

なお上述の第1実施例において、第2A図に示す場合と同様にチップ取置部06及び外部電極部切端06を設けた様に、基板01の上面を既述のFeCl₃溶液を用いて僅かにエッチングすることにより、第4A図に示すようにチップ取置部06及び外部電極部切端06の下部の基板01にアンダーカット部(11a)～(11f)を形成し、次に第2B図～第2D図と同様な方法によつて第4B図に示すパッケージ00を

完成させることができる。このように上記のエッチングによつてチップ取置部06及び外部電極部切端06の下部に上記アンダーカット部(11a)～(11f)が形成されるので、これらの部分に樹脂が回り込んで突出部(20a)～(20f)が形成される。従つてこれらの突出部(20a)～(20f)によつて上記チップ取置部06及び上記外部電極部切端06が下方から保持される構造となるので、上記チップ取置部06及び上記外部電極部切端06がパッケージ00の使用時ににおいて樹脂モールド層04から抜け出てしまうのを防止することができるという利点がある。さらにチップ取置部06及び外部電極部切端06が樹脂モールド層04の下面から突出することなく形成されるので、これらのチップ取置部06及び外部電極部切端06を接続することができるという利点もある。

第5A図～第5C図は本発明の第2実施例による半導体装置のパッケージの製造方法を説明するための工程図である。以下第5A図から工程順に説明する。

まず第5A図において、厚さ35(μ)のCu

膜の基板01の上面に公知のフォトレジストを塗布した後に所定のパターンニングを行う。次いでCuのみを選択的にエッチングするエッチング液、例えば既述のFeCl₃溶液を用いて上記基板01の表面を僅かにエッチングすることによつて、上記基板01の表面にチップ取置部(11g)及び外部電極部切端部(11h) (11i)をそれぞれ形成する。上記フォトレジストを除去した後に第5B図において、第1実施例と同様に、上記チップ取置部(11g)にハンダ層04を介してチップ05を取置した後、ワイヤボンディング法によつてこのチップ05と上記外部電極部切端部(11h) (11i)とをそれぞれA₂の凹部から成るワイヤ06で接続する。なお本実施例においては、既述の理由により、第1実施例で用いたワイヤよりも径の大きいワイヤを用いた。次に第1実施例と同様に出脂モールド層04を上記基板01上に形成する。次に上記基板01を第1実施例と同様な方法でエッチング除去してパッケージ00を完成させる。上記エッチングによりは出されたワイヤ06の端部が外部電極部切端06となり、またハ

ンダ形状の下部が熱放散面(23a)となる。

上述のようにして完成されたパッケージ40をプリント基板上に実装する場合には、第1実施例と同様に、図5 C図に示す上記外部電極部切端をプリント基板上の基板パタンに直接ハンダ付けして接続すればよい。このことから明らかのように、本実施例においてはワイヤ44の端部をそのまま外部電極部切端として用いるために、ワイヤ44の径を前述のように大きくするのが好ましい。なお熱放散面(23a)の機能は第1実施例と同様である。

上述の第2実施例のパッケージ40は、第1実施例のパッケージ40と異なつて、フォトレジスト工程及びエンチング工程によって基板40に設けられた外部電極接続部位(11b)(11i)にワイヤ44を直接接続するようにしているので、第1実施例のパッケージ40におけるAu層20a及びNi層20bを形成する必要がない。上記のフォトレジスト工程及びエンチング工程は第1実施例のパッケージ40で用いたメッキ工程よりもさらに簡便である。またこれらのフォトレジスト工程及びエンチング工程

を用いることにより、Au等の貴金属を用いる必要がなくなるという利点がある。

上述の第1実施例及び第2実施例においては、1個のチップをチップ接続部に設置してこれを樹脂モールドする場合につき述べたが、基板上に多数のチップ接続部を設け、それぞれのチップ接続部に同一のチップを設置して、これらのチップを一体に樹脂モールドした後に切断分離することにより、それぞれ1個のチップを有する同一のパッケージを多数同時に作ることもできる。また図5のチップと、コンデンサや抵抗等の部品とを基板上に設置した後にこれらを一体に樹脂モールドすれば、個々の銀鉛を有するパッケージを作ることができると共に、回路集成の集成度の高いパッケージを作ることができるという特徴がある。

上述の第1実施例の基板の材料は通常エンチングが可能であればCu等の他の金属であつてもよく、また第2実施例の基板の材料もFe等の他の金属であつてもよい。第1実施例においてはさらに金属以外の材料、例えばポリイミドアミド系樹

脂を用いることも可能である。この場合には既述のエンチング液としては、ヒドラジンとエチレンジアミンとの混合液を用いればよい。

発明の効果

本発明に係る半導体装置のパッケージの製造方法によれば、その動作時において半導体装置から発生する熱の放散性が良好でありかつ信頼性が高い小形のパッケージを、簡めて簡便かつ安価な方法によって自動的に製造することができる。

4. 製造の簡単な説明

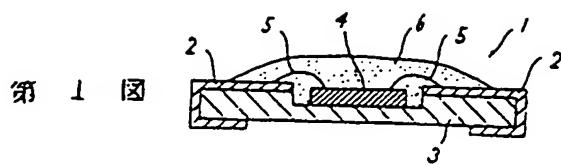
第1図は従来のプラスチックタイプのチップやシリアルタイプパッケージの製造を示す断面図、第2 A図～第2 D図は本発明の第1実施例による半導体装置のパッケージの製造方法を説明するための工程図、第3図は上記第2 A図に示す工程終了後の次回の半面図、第4 A図及び第4 B図は上記の1実施例の実用例を示す上記第2 A図～第2 D図と同様な図、第5 A図～第5 C図は本発明の第2実施例による半導体装置のパッケージの製造方法を説明するための工程図である。

なお図面に用いた符号において、

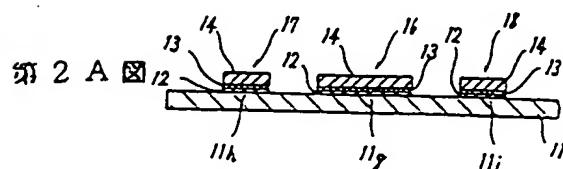
11a)12220	パッケージ
14)g	チップ
15)g	ワイヤ
10	基板
(11b)(11i)	外部電極接続部位
07a)g	外部電極部
04	樹脂モールド層

である。

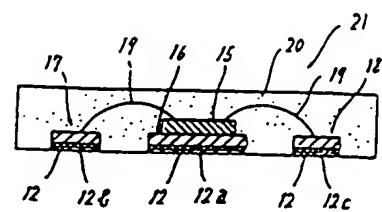
代 理 人	土 屋 助 一
‘	光 田 芳 秀
‘	杉 浦 繁 賀



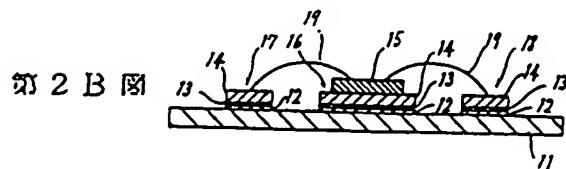
第1図



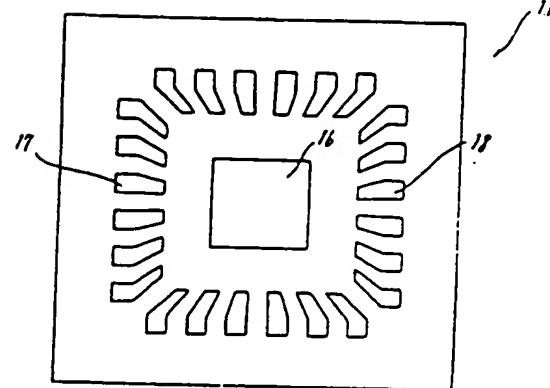
第2A図



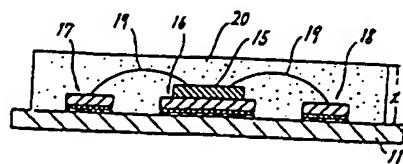
第2D図



第2B図

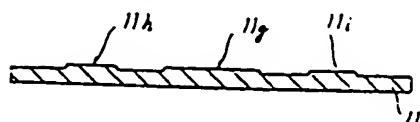


第3図

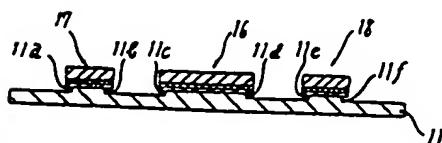


第2C図

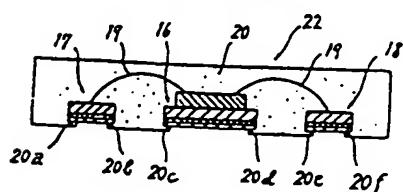
第5A図



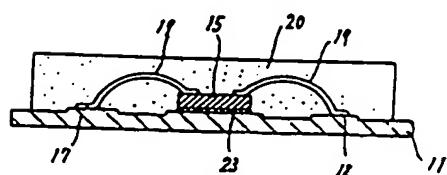
第4A図



第4B図



第5B図



第5C図

